

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-284893

(43)Date of publication of application : 16.11.1989

(51)Int.Cl.

G09G 3/20

(21)Application number : 63-115561

(71)Applicant : SHARP CORP

(22)Date of filing : 12.05.1988

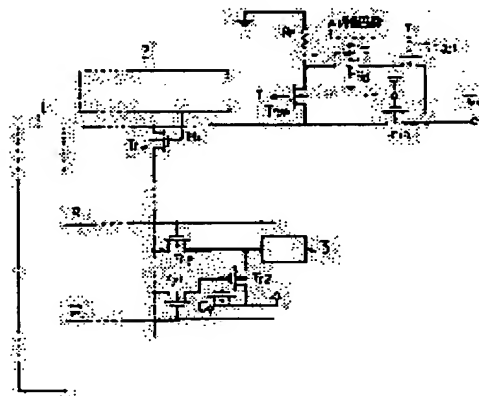
(72)Inventor : HISAOKA AKIJI
FUJII KATSUMASA

(54) DOT MATRIX SYSTEM DISPLAY DEVICE

(57)Abstract:

PURPOSE: To select a high definition display device by amplifying outputted results in case of reading out a test signal through an amplification circuit and discriminating the delicate difference of display luminance every picture element.

CONSTITUTION: An inverter is constituted of a display body driving transistor Tr_2 , a readout Tr_3 , a column selection Tr_4 , a test signal output control Tr_{sw} and a load resistance R_e . At such a time, the potential of the terminal T' of the inverter is determined according to the signals accumulated in a driving voltage accumulation capacity C_v if the circuit is normal. When the potential of the terminal T' , determined thus, is inputted in the amplification circuit A , the potential of the terminal T' is a little lowered by the amount of the threshold voltage of a Tr_d and transmitted to a terminal V_v to be read by a tester T . Since the threshold voltage of the Tr_d can be controlled, the potential of the terminal T' , that means, the potential of the accumulation capacity C_v , can be accurately read out if the Tr_2 , Tr_3 and Tr_4 accurately act.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

0 [Date of registration] ●
[Number of appeal against examiner's decision
of rejection] ●
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-284893

⑬ Int. Cl.⁴

G 09 G 3/20

識別記号

庁内整理番号

7335-5C

⑭ 公開 平成1年(1989)11月16日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ドット・マトリックス方式表示装置

⑯ 特 願 昭63-115561

⑰ 出 願 昭63(1988)5月12日

⑱ 発 明 者 久 岡 明 次 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑲ 発 明 者 藤 井 克 正 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑳ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

ドット・マトリックス方式表示装置

2. 特許請求の範囲

1. 単位画素をマトリックス状に配列し、各画素毎に、表示体を駆動する駆動トランジスタと、駆動のための映像信号を供給する書き込みトランジスタと、駆動トランジスタの出力レベルを外部へ引き出すための読み出しトランジスタとを有し、各画素毎の画素を構成する回路のテストを電気的に行えるようにしたドット・マトリックス方式表示装置であって、特にLSI上に蛍光体を付着して発光表示させる蛍光画像表示管において、前記回路の画素部分は微小電流で駆動しており、テスト信号読み出しの際、出力結果を電流増幅し、各画素毎の表示輝度の微妙な差を判別することが可能な構成となったことを特徴とするドット・マトリックス方式表示装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、ドット・マトリックス状に配設した単位画素毎に、表示体駆動トランジスタ、書き込みトランジスタおよび読み出しトランジスタを備えたテスト可能なドット・マトリックス方式表示装置の内、特にLSI上に蛍光体を付着して発光表示させる蛍光画像表示管に関するものである。

<従来の技術>

従来、ドット・マトリックス方式の表示装置のうち各単位画素毎に表示体駆動トランジスタを有する表示装置において、各画素の良、不良を判断する手段としては、表示装置を作製して実際に表示を行なって判断する方法によっていたが、特開昭57-99688号公報に記載の技術における読み出しトランジスタを各画素毎に設ける手段により電気的なテストが可能となった。しかしながら、この方法によると、各画素に駆動トランジスタの“開”又は“閉”に対応するデータを書き込み、次に駆動トランジスタの状態を検知するために読み出しトランジスタを通じて外部の判定回路

を駆動する時、外部との接続線の容量や抵抗等の負荷が大きく、1画面当りの判定に時間を要するという欠点がある。

そこで、本願と同一出願人は、前記欠点を解消したドット・マトリックス方式表示装置を案出し、昭和60年7月5日付けで既に出願している(特願昭60-148898、特開昭62-9898)。この表示装置を第3図により簡単に説明すると、ドット・マトリックス状に配置された表示素子3が垂直走査回路1および水平走査回路2によって駆動されるものにおいて、各表示素子3毎に、書き込みトランジスタ $Tr1$ 、表示体駆動トランジスタ $Tr2$ 、読み出しトランジスタ $Tr3$ および入力信号蓄積容量 Cv が設けられ、列選択トランジスタ $Tr4$ により選択される。ある画面をテストする場合、今仮に例示した第1列第1行の画面をテストする場合について考えると、各トランジスタ $Tr2$ 、 $Tr3$ 、 $Tr4$ 、制御トランジスタ $Trsw$ 、および負荷素子 Re によりインバータが形成される。この時、回路が正常であれば、蓄積

によるテストでは、画質品位が高いか低いかの判定ができなかった。

<課題を解決するための手段>

本発明は前記従来の問題点に鑑み、これを解消するためになされたもので、ドット・マトリックス方式表示装置、特に、蛍光画像表示管において、各表示画面毎の良、不良を判定するものであって、読み出しの際の出力結果を増幅回路に通して出力結果を増幅し、各画面毎の表示輝度の微妙な差を判別することが可能な構成としたことを要旨とするものである。

<実施例>

以下、本発明の一実施例を詳説する。

第1図において、第3図と同一若しくは同等のものには、同一の符号が付してあり、第3図においてインバータからなる判定回路 Inv を、第1図においてはトランジスタ Trd と抵抗 Rd からなる増幅回路Aに置換した点において相違している。

第1図に示す、本発明の実施例装置の動作につ

(2)

容量 Cv に蓄積された信号に応じてインバータの端子 T' の電位が決まる。こうして決定された端子 T' の電位の高、低をインバータから成る判定回路 Inv で判定し、その結果を出力制御トランジスタ $Trout$ を通して出力する。この時、判定回路 Inv の回路の設計において充分に外部を駆動できるように定数を決定する事で、外に接続される負荷の駆動を容易にする事ができ、テストが高速化されるものである。

<発明が解決しようとする課題>

前記表示装置は、単位画面の良、不良の判定を高速化できる顕著な効果を奏するものであるが、僅かに問題が残る。即ち、前記装置では、各画面を構成するトランジスタの短絡や断線の判断は可能であるが、判定回路 Inv の「良」及び「不良」の判定レベルが常に一定であって変更不可能であるため、各トランジスタの駆動能力の差、即ち各画面毎の表示の輝度の微妙な差を検出するのが困難である。特に蛍光画像表示管においては輝度の微妙な差が画質を悪くする。従って、前述の装置

いて説明する。

まず、第1列第1行の画面をテストする場合を考える。

入力制御トランジスタ $Trin$ 、列選択用トランジスタ $Tr4$ 、書き込みトランジスタ $Tr1$ をオンにすることにより、 Vv 端子より入力された信号が、蓄積容量 Cv に蓄積される。 Cv に蓄積された信号は、表示体駆動トランジスタ $Tr2$ を制御して表示体3の輝度をコントロールする。この際、出力制御トランジスタ $Trout$ 、負荷制御トランジスタ $Trsw$ 、読み出しトランジスタ $Tr3$ はオフにしておく。ここまでの動作でテスト信号の表示体への書き込みを行う。

次に、入力制御トランジスタ $Trin$ 、書き込みトランジスタ $Tr1$ をオフにし、出力制御トランジスタ $Trout$ 、負荷制御トランジスタ $Trsw$ 、読み出しトランジスタ $Tr3$ をオンすると、第2図に示すような等価回路を形成する。テスト信号読み出しの際の動作については、この第2図を用いて説明する。

Tr2, Tr3, Tr4, Tr1およびReによりインバータを形成し、蓄積容量Cvに蓄えられたテスト信号の電位と、Tr2, Tr3, Tr4の良・不良に応じて、端子T'の電位が定まる。この点の電位を増幅回路Aに入力すると、T'の電位はTrdのしきい値電圧(FETの電流が流れ始める電圧)の若干低下してVv端子に伝えられ、テストTで読み取られる。Trdのしきい値電圧は、制御可能であるため、Tr2, Tr3, Tr4が正しく動作していれば、T'の電位、即ちCvの電位は正確に読み出せる。

<発明の効果>

本発明の増幅回路を内蔵した目的は、電位の伝達を主とするものではなく、特に蛍光画像表示管の画素部分の駆動電流が微小であるため、テストの影響を受けなく、本来Reに流れるべき電流の一部がRtの内部抵抗Rtに流れることを防ぐことを主としている。この動作は、第3図におけるInv回路でも可能であるが、本発明によれば、画素部分のトランジスタの駆動能力の差やばらつきを検出することができ、高品位の表示装置の選別を行なうこ

Trout : テスト信号出力制御トランジスタ

Trsw : テスト信号出力制御トランジスタ

T : テスタ

Rt : テスタ内部抵抗。

代理人 弁理士 杉 山 毅 至 (他1名)

(3) とが可能となる。

4. 図面の簡単な説明

第1図は本発明のドット・マトリックス方式表示装置の一実施例の構成図、第2図は本発明のテスト実行時の等価回路図、第3図は従来装置の構成図である。

符号の説明

1 : 垂直走査回路

2 : 水平走査回路

Tr1 : 書き込みトランジスタ

Tr2 : 表示体駆動トランジスタ

Tr3 : 読み出しトランジスタ

3 : 表示素子

Tr4 : 列選択トランジスタ

Cv : 駆動電圧蓄積容量

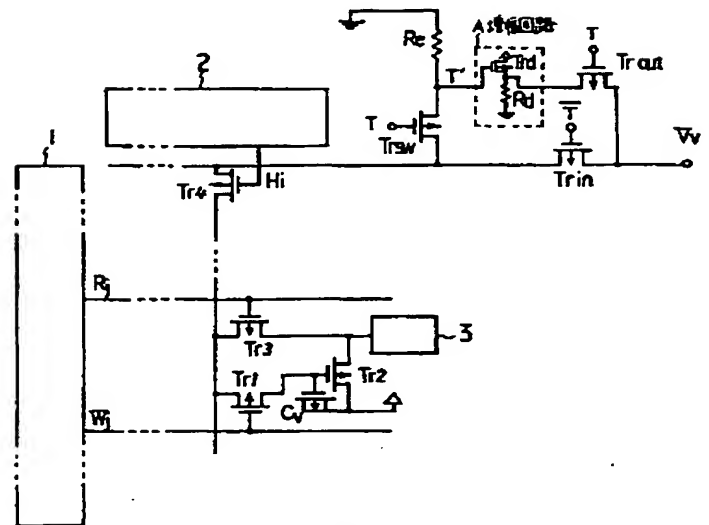
Re : 負荷抵抗

A : 増幅回路

Trd : 増幅回路トランジスタ

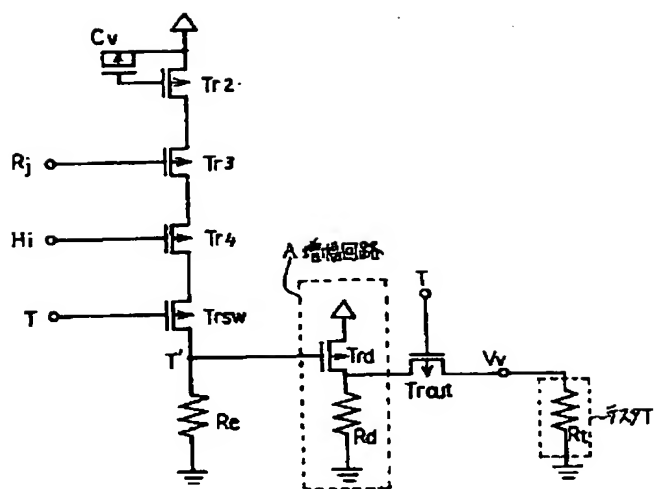
Rd : 増幅回路抵抗

Trin : 映像信号入力制御トランジスタ

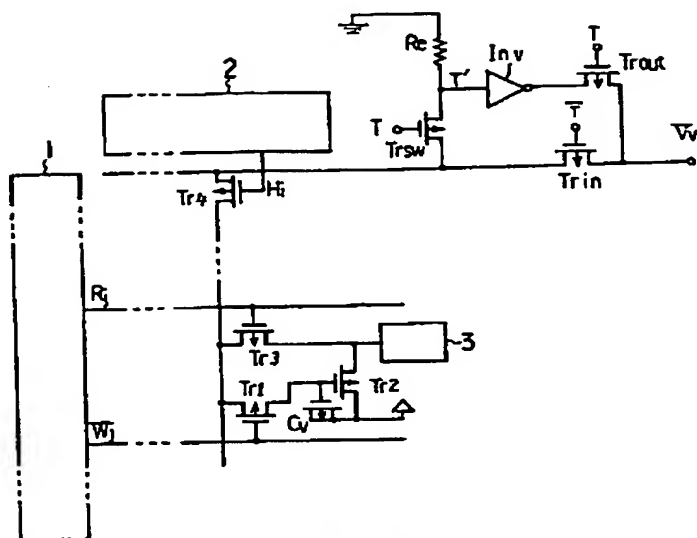


第1図

(4)



第2図



第3図